



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61000992 A**(43) Date of publication of application: **06.01.86**

(51) Int. Cl.

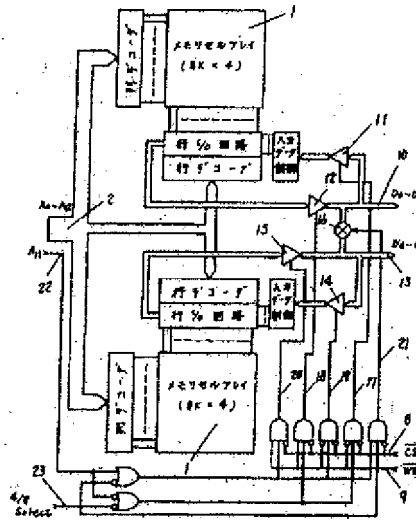
**G11C 7/00**  
**G11C 11/34**(21) Application number: **59122371**(22) Date of filing: **14.06.84**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**(72) Inventor: **WATARI SHIGERU**(54) **SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)1986,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To vary the bit constitution of a memory by reading and writing selectively data from and on plural memory cell arrays having the same word and bit constitutions.

**CONSTITUTION:** Since there are two memory cell arrays 1 having the constitution of  $(8k \text{ words}) \times (4 \text{ bits})$ , this memory has the 64k-bit storage capacity as the whole. In case that this 64k-bit RAM is used as a memory having the constitution of  $(8k \text{ words}) \times (8 \text{ bits})$ , a selecting signal 23 and a -CS signal 8 are set to the low level to turn off a bus connection switch 16, and the 8-bit width ( $D_0\text{WD}_7$ ) is secured with respect to a data bus. Switching between input buffers 11 and 14 and output buffers 12 and 15 is performed by a -WE signal 9. In case that data of the 4-bit width is handled, that is, the memory is used as an RAM having the constitution of  $(16k \text{ words}) \times (4 \text{ bits})$ , the selecting signal 23 is set to the high level, and the -CS signal 8 is set to the low level, and a data bus 10 of lower bits is used as the 4-bit data bus.



## ⑫ 公開特許公報(A)

昭61-992

⑬ Int. Cl.<sup>4</sup>G 11 C 7/00  
11/34

識別記号

庁内整理番号

6549-5B  
7230-5B

⑭ 公開 昭和61年(1986)1月6日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体メモリ

⑯ 特 願 昭59-122371

⑰ 出 願 昭59(1984)6月14日

⑱ 発 明 者 渡 里 滋 門真市大字門真1006番地 松下電工株式会社内

⑲ 出 願 人 松下電器産業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

## 明 細 書

## 1、発明の名称

半導体メモリ

## 2、特許請求の範囲

同一のワード数とビット幅を有する複数個のメモリセルアレイと、前記メモリセルアレイと同じビット幅を有する複数個のデータバスと、前記データバスの入出力バッファを選択的に活性化する手段と、前記データバスを相互に選択的に接続する手段とからなることを特徴とする半導体メモリ。

## 3、発明の詳細な説明

産業上の利用分野

本発明はLSIメモリの回路構成に関するものである。

従来例の構成とその問題点

近年LSIメモリでは高速・大容量化が図られると共に、メモリのビット構成の多様化がなされつつある。1, 4, 8ビット構成のメモリが、それぞれダイナミック及びスタティックRAMにおいて開発されているが、その構成は固定されたも

のであって自由にビット構成を変更できなかった。

以下に従来のLSIメモリ(64KビットRAM)の回路構成について第1図と共に説明する。第1図において、1はメモリセルアレイであり8Kワード×8ビット構成になっている。2は8Kワードのアドレッシングを行なうためのアドレスバスであり、 $A_0 \sim A_{12}$ の13本のアドレス線で構成される。3は8ビット幅のデータバス( $D_0 \sim D_7$ )であり、データの入力バッファ4と出力バッファ5はそれぞれ制御線6及び7によって制御される。制御線6及び7の信号は、チップセレクト信号8( $\overline{CS}$ )及びライトネーブル信号9( $\overline{WE}$ )から作られ、 $\overline{WE}$ 信号によってデータのライトモードとリードモードの切換えが行なわれる。従って、データは常に8ビット単位でリード・ライトされる事になる。

この様に上記の例では、RAMのビット構成が8ビットに固定されているため、他のビット構成例えば4ビット構成のデータをリード・ライトしようとするればアドレス空間は8Kワードに固定さ

れているので8Kワード×4ビット＝32Kビットの記憶容量(64Kビットの半分)しか活用できず、非常に利用効率が悪いという問題点を有しており、システムのデータベースのビット幅に見合ったビット構成のRAMをそれぞれ使わなければならなかった。

#### 発明の目的

本発明はこの様な従来の問題に対し、LSIメモリのビット構成を固定的なものから可変にし、扱うデータのビット幅に対応してメモリのビット構成を選択することを目的とする。

#### 発明の概観

本発明は、同一ワード及びビット構成からなる複数個のメモリセルアレイを選択的にリード・ライトする事で、メモリのビット構成を可変にしたものである。

#### 実施例の説明

第2図は本発明の一実施例におけるLSIメモリの回路構成を示し、従来例と共通の構成要素の番号は第1図と同じである。1は8Kワード×4

ビット構成のメモリセルアレイであり、これが2組あるので全部で64Kビットの記憶容量を有する。

2組のメモリセルアレイのアドレッシングを行なうために共通にアドレスバス2( $A_0 \sim A_{12}$ )を使う。10は下位4ビット幅のデータベース( $D_0 \sim D_3$ )であり、入力バッファ11及び出力バッファ12に接続される。同様に18は上位4ビット幅のデータベース( $D_4 \sim D_7$ )であり、入力バッファ14及び出力バッファ15に接続される。16はデータベースの下位4ビットと上位4ビットをそれぞれ接続する為のスイッチであり、制御線21により制御される。

入力バッファ11、14はそれぞれ制御線17、19により制御され、一方出力バッファ12、15はそれぞれ制御線18、20により制御される。上記17～21の制御線は、チップセレクト信号φ(CS)とライトイネーブル信号φ(WB)の組合せとアドレス選択のためのアドレス信号22( $A_{13}$ )とデータのビット幅を8ビットと4ビットとで切

換える為の選択信号23(4/8 Select)の組合せでもって制御される。

この64KビットRAMを8Kワード×8ビット構成で使う場合には、選択信号23とCS信号φをローレベルにすれば、バス接続スイッチ16はOFF状態になるのでデータベースは8ビット幅( $D_0 \sim D_7$ )が確保される。入力バッファ11、14及び出力バッファ12、15はWB信号φによってその切換えが行なわれる。例えばWBφがローレベルになると入力バッファ11、14がイネーブルになるので、データベースの下位4ビットと上位4ビットのデータは、共通のアドレスバスで指定されたメモリセルアレイ内の同一番地に書き込まれる。(ライトモード)逆に、WB信号φをハイレベルにすればデータベースは4ビット幅のデータをRAMから読み出せる(リードモード)。

一方4ビット幅のデータを読み込む場合、すなわち16Kワード×4ビット構成のRAMとして使うときは、選択信号23をハイレベル、CSφ

では下位の方10を使うことにする。アドレス選択用のアドレス信号22(以下 $A_{13}$ と記す。)をローレベルにすればバス接続スイッチ16及び上位4ビットバスの入力バッファ14、出力バッファ15はOFF状態になるため、4ビットデータは入力バッファ11、出力バッファ12を介して8Kワード分がリード・ライトされる。次に $A_{13}$ をハイレベルにすれば、下位4ビットバスの入力バッファ11、出力バッファ12はOFF状態になり、スイッチ16がON状態になるため、4ビットデータは入力バッファ14、出力バッファ15を介して8Kワード分がもう一方のメモリセルアレイにリード・ライトされる。

以上の本実施例によれば、記憶容量が64KビットのRAMを8Kワード×8ビット構成だけでなく16Kワード×4ビット構成としても使うことができる。

#### 発明の効果

以上述べた本発明によれば、

ルアレイと同じビット幅のデータバスを入出力バッファを介してセルアレイと接続し、その入出力バッファを選択的に活性化すると共にデータバスをお互に選択的に接続することで、所望のビット幅のデータがアドレスバスによって指定された番地にリード・ライトできる。従って、本発明にかかる半導体メモリを使えば、データのビット幅が変えられるので、8ビットバスにも4ビットバスにも接続可能であり、しかもメモリの記憶容量を無駄なく使うことができる。

この様に、本発明はデータのビット幅が選択可能で汎用性に富み、しかもメモリの使用効率の高い半導体メモリを実現しうるものである。

#### 4、図面の簡単な説明

第1図は従来のLSIメモリの回路構成図、第2図は本発明の一実施例のLSIメモリの回路構成図である。

1……メモリセルアレイ、11、14……入力バッファ、12、15……出力バッファ、17……制御線、10……下位4ビットデータバス( $D_0 \sim D_3$ )、13……上位4ビットデータバス( $D_4 \sim D_7$ )、16……バス接続スイッチ、22……拡張アドレス( $A_{12}$ )、23……ビット幅選択(4/8 Select)。

ズ( $D_0 \sim D_3$ )、13……上位4ビットデータバス( $D_4 \sim D_7$ )、16……バス接続スイッチ、22……拡張アドレス( $A_{12}$ )、23……ビット幅選択(4/8 Select)。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

第 1 図

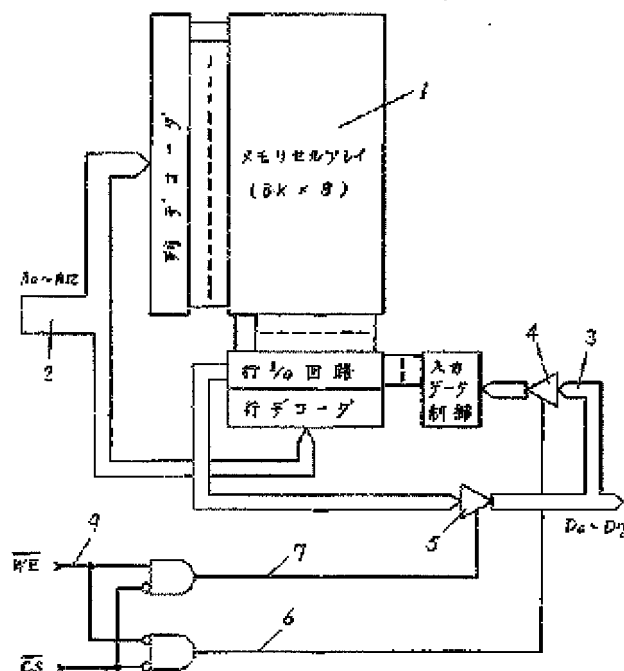


図 2 図

